

BEST AVAILABLE COPY

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-319375  
(43)Date of publication of application : 25.12.1989

(51)Int.Cl. H04N 5/335

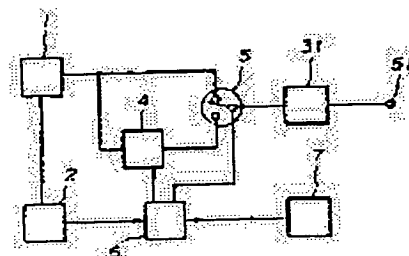
(21)Application number : 63-151319 (71)Applicant : HITACHI LTD  
(22)Date of filing : 21.06.1988 (72)Inventor : TODAKA YOSHIHIRO  
IMAIDE TAKUYA  
KINUGASA TOSHIRO  
NODA MASARU

## (54) IMAGE PICKUP DEVICE

### (57)Abstract:

**PURPOSE:** To avoid the deterioration in the resolution at zoomup of a picture by reading a signal stored in a memory means at a speed being a half the storage speed of the signal while revising the signals of two lines simultaneously in a specific order for one line each.

**CONSTITUTION:** A 2-line simultaneous read type sensor 1 is used for a solid-state image pickup element, a memory 4 corresponding to each line and its control circuit 6 are provided and the signal stored in the memory 4 is read for two lines simultaneously while revising the signal by one line each. The memory 4 stores the output signal of two lines produced when the 2-line simultaneous read type sensor 1 scans a horizontal line by the control circuit 6 respectively separately and the signal by the 2-lines as a zoomup signal is read as each scanning line. Thus, the signal by one frame is obtained by one readout of the sensor 1 and the deterioration in the vertical resolution at zoomup is suppressed.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-319375

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)12月25日

H 04 N 5/335

Z-8838-5C

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 撮像装置

⑯ 特 願 昭63-151319

⑰ 出 願 昭63(1988)6月21日

⑱ 発 明 者 戸 高 義 弘 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 今 出 宅 哉 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 発 明 者 衣 笠 敏 郎 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 発 明 者 野 田 勝 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 武 頭次郎 外1名

明 細 書

1. 発明の名称

撮像装置

2. 特許請求の範囲

1. 固体撮像素子上の絵素配列の  $n$  行と  $n+1$  行の信号を同時にかつ分離して読み出す2行同時読み出し型固体撮像素子と、この固体撮像素子の絵素配列の一部領域の信号を  $n$  行と  $n+1$  行とに対応させて記憶するメモリ手段とから成る撮像装置において、前記メモリ手段に記憶した信号を上記信号の記憶速度の2分の1の速度で、 $n$  行と  $n+1$  行、 $n+1$  行と  $n+2$  行、……の順序で2行同時にかつ1行ずつ更新して読み出す制御回路を設けたことを特徴とする撮像装置。

2. 請求項1において、前記メモリ手段から読み出した2行の信号のうち、いずれか一方の行の信号のみを輝度信号として用いる構成としたことを特徴とする撮像装置。

3. 請求項1において、第1の擬似インターレース回路を設け、一方のフィールドでは  $m$  行と  $m$

$+1$  行、 $m+1$  行と  $m+2$  行、……の行信号から、他方のフィールドでは  $m$  行と  $m+1$  行と  $m+2$  行、 $m+1$  行と  $m+2$  行と  $m+3$  行、……の行信号から、撮像信号を生成することで擬似インターレースを行なわせる構成としたことを特徴とする撮像装置。

4. 請求項1において、第2の擬似インターレース回路を設け、一方のフィールドでは前記メモリ手段から読み出した2行の信号のうち、いずれか一方の行の信号のみから、他方のフィールドでは上記2行の信号から、撮像信号を生成することで擬似インターレースを行なわせる構成としたことを特徴とする撮像装置。

5. 請求項2または4において、切換回路を設け、前記固体撮像素子からの2行同時読み出し信号と、前記メモリ手段からの2行読み出し信号を一画面走査中に複数回切換えて、2つの画面を同時に表示可能とする撮像信号を得る構成としたことを特徴とする撮像装置。

3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は撮像装置に係り、特に電子的に画面をズームアップするのに好適な信号処理機能を有した固体撮像素子及びメモリとから成る撮像装置に関する。

## 〔従来の技術〕

固体撮像素子（以下、センサと称する）を用いたカメラは、VTRと一体化されいわゆるビデオ一体化カメラとして近年急速に普及しつつある。

この種のセンサとしてはCCD形、MOS形等があり、それぞれの特徴を生かした製品作りを行ない市場に送り出されている。MOS形センサとしては、宮沢、他による「TSL固体撮像素子」1986年テレビジョン学会全国大会、3-8に開示されているものがある。詳細な説明は省くとして、その動作の概略を説明する。

第16図はMOS形センサの絵素構成を説明する模式図であつて、11はセンサ、115は絵素であり、Wはホワイトの色フィルタ、(1, 1)は1行1列目の素子であることを表わしている。

能インターライン転送方式CCDイメージセンサ」昭和54年9月27日テレビジョン学会技術報告、ED462では、1行インターレース走査を行なう方式のCCD形センサについて述べてある通りである。

## 〔発明が解決しようとする課題〕

上記した従来技術におけるセンサの走査順序は、テレビのビーム走査に対応しており、光学系によつてセンサ面上に結像された像をそのまま読み出してテレビのモニタ等に表示するのみであり、その一部分を拡大（ズームアップ）して表示するようなことはできない。

ズームアップするためには、光学系のズームアップ機構を用いるか、撮像信号（画像信号）を一旦メモリなどに記憶しておき、これの特定部分を読み出して拡大表示する必要がある。しかし、光学系のズームアップ機構（ズームレンズ）によるものは、ビデオ一体形カメラなどの装置の重量を大きくしてしまい、また瞬間的なズームアップが困難であり、コスト的にも難点がある。一方、メ

その他の絵素も同様である。111, 112, 113, 114は絵素W, G（グリーン）, C（シアン）, Y（イエロー）の各出力を出力する端子である。

同図において、各絵素は図示しない走査回路、MOSスイッチ等により2行同時に、インターレース走査をうけながら読み出される。例えば、最初のフィールドでは絵素(1, 1)と(2, 1), (1, 2)と(2, 2), (1, 3)と(2, 3)……と順次読み出され、次のフィールドでは絵素(2, 1)と(3, 1), (2, 2)と(3, 2), (2, 3)と(3, 3)……の順で読み出され、各出力端子111~114から信号を得る。このようにセンサの各絵素が順次読み出されて2行同時インターレース走査が行なわれる。

CCD形センサについても同様に、各絵素をインターレース走査して読み出す。これについては、例えば小池、他による「2行読み出し方式CCD撮像素子」1984年テレビジョン学会全国大会、3-10では、2行を独立に読み出す方式のCCD形センサについて、また石原、他による「高性

能」を用いて純電子的にズームアップを行うものは、例えば特開昭61-166279号公報に開示されているが、この公報において、メモリとしてCCD遅延線を用いるものでは、たとえば2倍拡大の場合、水平走査方向（H方向）と垂直走査方向（V方向）に同一絵素情報を2回（H方向、V方向合わせて4回）出力する方式であり、解像度が劣化する欠点がある。

なお、テレビジョン学会編「テレビジョン工学ハンドブック」昭和44年版、オーム社発行、13-88に記載のように、撮像管の走査エリアを変更して電子ズームを行うようにする方法もあるが、この様なエリア変換は、固体撮像素子では困難である。

本発明の目的は、画質の劣化をおさえて純電子的にズームアップを行うことのできる固体撮像素子を用いた撮像装置を提供することにある。

## 〔課題を解決するための手段〕

上記目的は、固体撮像素子として2行同時読み出し形センサを用い、各行に対応したメモリとそ

の制御回路とを設けメモリに記憶した信号を2行同時でかつ1行ずつ更新して読み出す構成とすることによつて達成される。

#### (作用)

メモリは、制御回路によつて2行同時読み出し形センサが水平ラインを走査したときに生じる2行の出力信号を、それぞれ別々に記憶した後、ズームアップ信号としては2行分の信号を各走査ラインとして読み出す。これによつて、上記センサの1回の読み出しで1フレーム分の信号が得られるので、ズームアップ時の垂直解像度の劣化は抑制される。このことは、次のようにも説明される。

今、NTSC方式のセンサを考えると、水平絵素行は525本である。センサ上の垂直方向の絵素の繰り返し周波数を $f_L$ とすると、この場合の解像度の限界は $f_L$ となる。ところが、2行同時読み出しを行うセンサでは、2行分をまとめて一水平ラインの信号とするため、 $f_L/2$ のレスポンスが低下する。しかし、メモリに記憶した信号を2行同時でかつ1行ずつ更新して順次読み出す

ことによつて上記レスポンスの低下は抑制される。そのため、ズームアップした画面でも垂直解像度の劣化が少なく、良好な電子ズーム機能を得られる。もちろん、従来技術の項であげたインターライン転送形センサでは、一行読み出しのため、 $f_L/2$ のレスポンスの低下はないが、通常の撮像では $f_L/2$ のモワレがフィールド間でフリツカ状に表われる。このフリツカを取り去つて、初めて $f_L/2$ での解像度を得られる。

このフリツカの発生を防止してズームアップ機能を得るためには、2フィールド分の信号をメモリに記憶しておき、これをズームアップした画像情報として順次出力する方式があるが、各フィールド間の時間差があるため、動いている被写体に対して動解度が劣化する欠点がある。

本発明は、2行同時読み出し形センサから常に発生しているノンインターレースの画像情報出力をズームアップ時の情報として用いる点に特徴とする。

なお、信号処理上は、2行同時読み出し形セン

サが、行番号 $n$ と $n+1$ 、 $n+2$ と $n+3$ 、……と出力し、各行のペアで色信号と輝度信号を生成するので、メモリからの読み出しも、 $n$ と $n+1$ 、 $n+1$ と $n+2$ 、 $n+2$ と $n+3$ 、……の様に2行ペアで出力することにより、カメラ信号処理回路に変更を加えることなく、ズームアップ画像を得ることができる。

#### (実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は本発明の第一実施例のブロック図であつて、1は2行同時読み出し形センサ(例えば、前記第17図に示したセンサ)、2はセンサ1の駆動回路、4はメモリ、5はSW(電子スイッチ)、6はメモリ4やSW5を制御する制御回路、7は制御回路6に種々の制御を行わせるための情報を与える入力器、31はセンサ1からの信号を処理してビデオ信号を生成するカメラ回路、51は出力端子である。

同図において、図示しない光学系によりセンサ

1に被写体像が結像されているものとする。駆動回路2によつて、センサ1が2行同時インターレース走査されて各絵素の信号が読み出される。

カメラ回路31は、センサとして前記第16図に示したセンサを使用する場合には、センサ1の撮像出力である $W$ 、 $G$ 、 $C_y$ 、 $Y_e$ から1水平ライン分のビデオ信号を生成して出力する。メモリ4は、センサ1からの信号 $W$ 、 $G$ 、 $C_y$ 、 $Y_e$ 各出力を記憶する。その後、制御回路6によりSW5がメモリ4側に投入され、そしてメモリ4が駆動されることで、記憶された信号 $W$ 、 $G$ 、 $C_y$ 、 $Y_e$ が読み出される。このとき、読み出しは2行同時に、かつ1行ずつ順次ずらすことによつて、カメラ回路31を共通化できる。すなわち、 $n$ 行と $n+1$ 行、 $n+1$ 行と $n+2$ 行、 $n+2$ 行と $n+3$ 行、……のように読み出す。

以下、2倍ズームアップを行う場合について説明する。

第2図はセンサの模式図であつて、同図(a)の $a_1, a_2, \dots, c_1, c_2, \dots$ は絵素の各行

を示し、例えば、図中1点鎖線で示す $a_n$ は $n$ 行目の $W$ 、 $G$ の読みの行を、2点鎖線の $c_n$ は $n$ 行目の $Cy$ 、 $Ye$ の読みの行を表わす。また、 $b_n$ は走査ラインであり、2行同時読み出し走査では、 $b_{n-1}$ ラインは $a_n$ 行と $c_n$ 行を、 $b_{n+1}$ ラインは $a_{n+1}$ 行と $c_{n+1}$ 行を読み出す。これを図では $b_n$ で示す同じ実線を $a_n + c_n$ で示している。

ここで、第2図の(a)において $d$ で示す破線内のエリアを2倍ズームアップするものとして説明する。図示のように、水平方向には $H_1$ 、 $H_2$ で囲まれる範囲とする。このエリア $d$ がセンサから読み出されるタイミングに応じてメモリ4に記憶する。メモリの読み出しは、同図の(b)に示すように、 $b_{n-1}$ ラインの走査の場合に $a_n$ と $c_n$ 行を、 $b_n$ ラインの場合は $a_{n+1}$ と $c_n$ 行を読み出すことで、走査ラインを2倍とし、ズームアップを行う。なお、ここでは、説明の都合上、 $b_{n-1}$ ラインには $a_n$ と $c_n$ 行を読み出すものとしているが、エリア $d$ の最初の走査ラインの読系列はズームアップ時の画面の最初の走査ラインに対応さ

の後、 $R$ パルス $f$ に示すように、2倍の時間をかけて、かつ2ライン続けて読み出す。同図には示さなかつたが $c_n$ 行についても同様であり、第2図(b)に示したような $a_n$ との組合わせで読み出す。

第4図は上記動作を実現するための第1図の詳細ブロック図であつて、2、4、6、7は第1図の同一符号を付した部分に対応し、441はA/D変換器、442はメモリ素子、443はD/A変換器、661は第1クロック回路、662は第2クロック回路、663はメモリ素子442への書き込みアドレス信号を生成するライトアドレス発生器、664はメモリ素子442の書き込みや読み出しの制御を行うR/W制御回路、665はメモリ素子442への読み出しアドレス信号を生成するリードアドレス発生器、660は入力器7からの信号によりエリア $d$ の設定等を行う制御回路、また4a、4bはそれぞれメモリ4の入力端子、出力端子である。

同図では、第1クロック回路661及び第2クロック回路662は、駆動回路2の同期信号 $V$ 、

せる。

さて、垂直方向は上記のように2倍するが、水平方向はメモリ4への書き込みクロックの $1/2$ の周波数の読み出しクロックで読み出すか、又は2クロック分続けて同じ信号をメモリから読み出せばよい。

第3図はメモリの書き込みと読み出しのタイミング図であつて、 $a$ は垂直同期信号(Vパルス)、 $b$ は水平同期信号(Hパルス)、 $c$ はメモリ4への書き込みタイミングを示す書き込みパルス(Wパルス)、 $d$ は書き込み読出しのタイミングをさらに詳しく説明するため時間軸を変更したHパルス、また $e$ は書き込みパルスであり、添字の $a_{n-1}$ 、 $a_n$ 、 $\cdots$ は同行の書き込みを表わす。そして $f$ は読み出しパルス(Rパルス)であり、添字の $a_{n-1}$ 、 $a_n$ 、 $\cdots$ は同行の読み出しを表わす。

同図において、第2図のエリア $d$ のみメモリ4に記憶するため、Vパルス $a$ の中央部で、かつHパルス $b$ の中央部でWパルス $c$ を発生させ、Wパルス $e$ に示すような行をメモリ4に書き込む。そ

H出力に同期結合してクロックを発生し、第2クロック回路662は第1クロック回路661の $1/2$ の周波数でクロックを発生するものとする。

ラインアドレス発生器663は、制御回路660からの入力により、エリア $d$ を走査するタイミングで第1クロック回路661からのクロックにより、メモリ4へアドレス信号を発生される。同時に、R/W制御回路664はメモリ4に対して書き込み制御を行う。

メモリ4の読み出しは、第2クロック回路662からのクロックにより全画面を走査するタイミングでリードアドレス発生器665がメモリ4にアドレス信号を発生させる。この時、アドレス信号は、同一行を2回続けて発生させる。同時に、R/W制御回路664はメモリ4に対して読み出し制御を行う。

以上の動作により、エリア $d$ の行を $V$ 及び $H$ 方向に対して2倍拡大して表示できることがわかる。

ここでは、それぞれ1つの入出力端子4a、4bで示すように、1つの信号についてのみ説明した

が、第16図に示したセンサのように、4線出力であるものについては、本回路を4個設ければよく、第2図(a)の走査例に示した各行の読み出しタイミングは、リードアドレス発生器665のアドレス発生タイミングを1水平同期ずらすことにより行うことができる。

この実施例では、2倍ズームアップ時でも各水平ラインにa.行、c.行が必ず存在するので、通常のカメラ回路31の動作で輝度信号及び色信号を生成できることは明らかなので、その説明は省略する。

また、上記では、ライト動作（書き込み動作）とリード動作（読み出し動作）を交互に行つていくように説明したが、上記のメモリ回路を各フィールド用に設置すれば、一方のメモリがライト動作中でも他方のメモリでリード動作が可能であり、またメモリ素子442が高速であれば同一メモリで行つてもよい。

また、後で詳しく説明するが、ズームアップ画面は、これを構成している絵素情報が1回の走査

するためのものである。このとき、リードアドレス発生器665のアドレス発生タイミングとそのアドレスを変更することにより、第2図(a)の画面中の任意の場所に、同図(b)の画面中の任意の領域を切り取るように表示できる。

これについては後述する。

上記実施例において、ズームアップ画面の各ラインは各行の加算により生成しているが、これは各行の絵素のフィルタ分光感度が異なることによるモアレの発生を抑えるためである。しかし、各行を、1ラインの出力としてズームアップ画像を生成することにより垂直解像度を上げてよいことは言うまでもない。以下、この例について説明する。なお、メモリ4の挿入位置についても、カメラ回路31の前段か又は後段かのいずれでもよく、これについても、それぞれについての実施例を構成することが可能である。

第7図は各絵素の出力をプロセス処理する前に記憶する様にした本発明の第二実施例のブロック図であつて、311はセンサ1の4線出力をプロセ

スで全て出力されており、いわゆるノンインターレース画に相当するため、次のフィールドでも同じ情報しか得られないが、モニタ出力がインターレース走査をしているため上下に振動する画面となる。

第5図は上記の問題を防止するための模式図であつて、次のフィールドの出力は1ラインを3行分の信号を用いて構成する。すなわち、一方のフィールドのライン $b_{n-1}$ 、 $b_n$ 、 $b_{n+1}$ の輝度信号を $a_n + c_n$ 、 $c_n + a_{n+1}$ 、……により生成する場合、次のフィールド（他方のフィールド）のライン $b'_{n-1}$ 、 $b'_n$ 、 $b'_{n+1}$ の輝度信号は

$$\frac{a_n + 2c_n + a_{n+1}}{2}, \quad \frac{c_n + 2a_{n+1} + c_{n+1}}{2},$$

……により生成する。

第6図は第5図の動作を行わせるようにした回路の一部ブロック図であつて、445はインターレース回路で、他の構成は第1図と同様である。

なお、第1図、第6図におけるSW5は、メモリ4とセンサ1からの信号を切替えることにより、前記第2図(a)の画面に同図(b)の画面を並列表示す

ス処理をしてビデオ信号にするカメラ回路、411～414はA/D、401～404はメモリ、321はメモリ401～404の出力によりセンサの各行に対応したビデオ信号を生成するカメラ回路、61は入力器7からの情報により、メモリ401～404とSW5を制御してズームアップビデオ信号を作り、かつカメラ回路311より出力される通常のビデオ信号と切替える制御を行なう制御回路である。

第8図は第7図の動作説明図であつて、同図において、(a)、(b)はそれぞれ通常の、及び2倍ズームアップ時のモニタ画出力に相当する。なお、説明の都合によつてはセンサ1の絵素列を表わす。第8図(a)は1フィールド画を模式的に表わし、 $b_1$ 、 $b_2$ 、 $b_3$ ……が水平走査ラインを示す。また、模式的にインターレース走査を表わすため傾線をを用いている。

同図において、センサ1は2行同時読み出しセンサであるので、 $b_1$ ラインは $a_1$ ライン及び $c_1$ 行の絵素の合成信号、 $b_2$ ラインは $a_2$ 及び $c_2$

行の絵素の合成信号、-----となつている。これらの出力により、同図(a)に示す被写像が形成される。一方、A/D411~414により各行の絵素信号がメモリ401~404に記憶される。

今、同図(a)のdに示す破線部を記憶する場合、同図(a)に示すc1, a2, c2, a3の行の情報をメモリ401~404に記憶する。今、aの行をW, Gの行, cの行をCy, Yeの行とすると、c1の行の情報はメモリ403と404, a2の行の情報はメモリ401と402, -----という順序に各メモリに記録する。2倍ズームアップ動作は記録したメモリ情報をc1, a2, c2-----の順に記録した速度の倍の速度で読み出すことにより行なう。このようにすれば、第3図bに示すような2倍ズームアップ画像が得られる。また、メモリ401~404の駆動とSW5の切換の制御を画面途中で行なうことにより、いわゆる2画面出力で一方がズームアップした画像が得られる。これを第9図に示す。これは一但第8図(a)に示す画像をメモリした後、同図のeに示す破線部を第

8図(a)のb1, b2-----の走査の途中から読み出し、SW5により切換えて出力したものである。このように、本発明によれば解像度の劣化を少なくして、電子ズーム画像やその画像の並列表示が容易に実現できる。

なお、メモリ401~404, A/D411~414, カメラ回路311, 321等の具体的説明に関しては、本発明の本質が、いかに2行同時読み出しのセンサ出力を用いて高画質なズームアップ画像が得られるかにあるので、読み出し順序、メモリとの構成等さえはつきり示せば、その具体的方法は第4図に示すように当業者にとつて容易に構成できることから詳細な説明は省く。(以下の説明においても同様とする。)

なお、輝度信号の生成方法については以上の説明から分るが、色信号の生成方法も、以下のように容易である。すなわち、第7図の実施例においては、W, G, Cy, Yeの各絵素の情報がメモリ401~404に記録されているので、第8図(a)のa2行を再生する場合、a2行の輝度はa2

行自体の情報であるメモリ401と402からの出力により生成し、a2行の色は1行前又は後のc1またはc2行の情報であるメモリ403と404の情報を同時に読み出して生成することによつて得ることができる。

以上、あるフィールドに限定してズームアップの方法を説明したが、ビデオ出力はインターレースしているため、各フィールドで2行同時読み出される行のペアが異なる。これを第10図により説明する。

第10図(a)は第8図(a)の1フィールド後の撮像面の走査を示す。c1とa2行, c2とa3行, -----で読み出しのペアを取る場合を示す。このとき、第8図(a)の同じ領域dの絵素情報をメモリ401~404に入力する。同図に示すように、インターレース走査のため各水平ラインに対応する水平絵素の行が異なり、前フィールドと各センサ出力端子111~114に変わってくる信号のタイミングが異なるが、領域dの位置とフィールドの別が分つているので第8図(a)に示した行c1, a2,

-----と同じ絵素情報をメモリ401~404に記憶することが容易にできる。このメモリ内容は第10図(a)に画像として模式的に示すが、これをズームアップ信号として表示する場合、第8図(a)の同様な画像がインターレース再生されることとなり、上下に振動する画像となる。

これを緩和するため、第10図の破線f1, f2, f3, -----に示すインターレース画像を擬似的に作成する必要がある。このため、例えばf2のラインではc1行とa2行の画像情報からf2のラインの画像信号を生成すればよい。他のラインも同様である。以上の動作は、先ずメモリ401~404に同一画像情報をメモリし、その後擬似インターレース再生を行なわせることであり、この操作は第10図に示した2画面並列表示の場合でも必要となることはいうまでもない。

ここで、第9図に示したように、b2に対応してc1を、b3に対応してa2を、-----の対応関係でメモリ401~404から各行の情報を読み出して表示する場合と同様に、第11図に示すよ

うに  $b2'$  に対応して  $c1$ ,  $b3'$  に対応して  $a2$ ,  
 -----の行を表示すれば、両図を比べて分るように  
 ズームアップ画面が上下に振動して表示される。  
 これを防止するため第10図(b)の例のように疑似  
 インターレース表示を行えばよい。すなわち第  
 11図の  $c1$  の代りに第10図(b)の  $f1$  を、第11  
 図  $a2$  の代りに第10図(b)の  $f2$  を、-----表示す  
 れば、スムーズな2画面表示が可能となる。これ  
 を第12図に示す。

第13図は以上の動作を得るための本発明の第  
 三実施例のブロック図であつて、41はA/D、  
 42はメモリ、321aは疑似インターレース回路、  
 321bはカメラ回路、62は第8図～第12図  
 にて説明した絵素情報の記録から疑似インター  
 レース用信号の読み出しまでの制御をメモリ40に  
 対して行ない、また2画面並列表示用の切換信号を  
 生成する制御回路であり、第7図と同一符号は同  
 一部分に対応する。なお、第13図では、A/D  
 41とメモリ40は、便宜上第7図におけるA/  
 D411～414、メモリ401～404をまと

めて表わしている。

第13図に示した実施例の動作は、疑似インタ  
 レース回路321aにより、第10図(b)で説明し  
 たように、ズーム画像の疑似インターレース画を生  
 成し、SW5により通常の画像やズームアップ画  
 像、2画面並列画像を入力器7の入力に応じて制  
 御回路62が選択表示するものである。センサ1  
 の絵素情報から各画像を生成する方法については、  
 すでに説明したので、ここでは説明を省く。

以上、プロセス処理の前の絵素情報を用いてズ  
 ームアップ画も生成を行なうことについて述べた  
 が、もちろんプロセス処理を行なつた後に生成し  
 てもよいことはいふまでもない。

第14図はプロセス処理後にズームアップ画の  
 生成を行なうようにした本発明の第四実施例のブ  
 ロック図であつて、415、416はA/D、405、  
 406はメモリ、63は制御回路、331は処理  
 回路、332はカメラ回路、121、123はS  
 Wである。また、第7図と同一符号は同一ブロッ  
 クに対応する。

第15図は第14図に示した構成の動作説明図  
 であつて、以下、第14図の動作を第15図を参  
 照して説明する。

カメラ回路311の出力はA/D415の入力  
 端子415aに出力されるが、この出力は第8図  
 (a)および第10図(b)の  $b1$ ,  $b2$ , -----および  
 $b1'$ ,  $b2'$ , -----で示される2行同時出力よ  
 り得られたインターレース出力であり、これをそ  
 ぞれのフィールドでA/D415を通してメモリ  
 405に記憶する。

カメラ回路332には、SW121、122の  
 切替によりセンサ1から各行を毎フィールドで異  
 ならせて入力する。すなわち、第16図(a)で示す  
 ように、 $b1$ ,  $b2$ , -----で通常の画像が得られ  
 る場合は  $a1$ ,  $a2$ , -----を、一方第15図(b)で  
 示すように  $b1'$ ,  $b2'$ , -----で通常の画像が  
 得られる場合は  $c1$ ,  $c2$ , -----がそれぞれ入力  
 され、カメラ回路332によりカメラ回路311  
 と同様な処理を行なつてA/D416に出力され  
 る。この信号をメモリ406に記録する。ズーム

アップ画像を得る場合は、今メモリ405には行  
 $a$ と行  $c$ の和による信号が記憶され、メモリ406  
 にはフィールドに応じて行  $a$ 又は行  $c$ の信号が記  
 憶されている。よつて、この2つのメモリ出力よ  
 り減算により容易に行  $a$ 及び行  $b$ を分離すること  
 ができる。この処理を処理回路331が行ない、  
 ズームアップに必要な各行の出力を生成する。

この動作において、輝度信号の生成はメモリ405、  
 406の出力により容易に生成される。一方、色  
 信号の生成は色信号の垂直方向の帯域が輝度信号  
 程必要とされないため、カメラ回路311の色信  
 号出力を記憶しておき、それを  $a$ 行及び  $c$ 行のそ  
 れぞれに対して使用してもよい。または、センサ  
 1上の絵素のある列をメモリに取り込む場合、例  
 えば絵素(1, 1)と(2, 1)が取り込まれる  
 タイミングでは、 $W + Cy$ と  $W$ がメモリ405、406  
 にそれぞれ入力され、(1, 2)と(2, 2)が  
 取り込まれるタイミングでは  $G + Ye$ と  $G$ がメモ  
 リ405、406に入力される。これは減算によ  
 り、 $W$ ,  $G$ ,  $Cy$ ,  $Ye$ が全て分離できることで

あり、この信号を用いて第7図の実施例で説明したように色を再生してもよい。

本実施例の要点は2行読出しセンサでビデオ信号に処理した後の信号を用いて記憶しても、2行のうちいずれか一方の行により生成した信号を同時に記憶すれば、各絵素を別々に記憶するのと同様に、高解像度のズームアップ画像が得られることにある。したがって、第15図(a)において、b1ラインとa1行の代りに、b1ラインとc1行を記憶しても、同様にズームアップ画像が得られることはいうまでもない。

上記したそれぞれの具体的実施例は、本発明の本質が2行同時読出しセンサの出力により2行から生成したビデオ信号とどちらかの行を同時に記憶すれば、後で高解像度のズームアップ画像が得られることにあり、その画像の信号の生成方法を明示しさえすれば具体的回路は容易に構成できるため、特に示さない。本発明の本質に立てば2行同時にそれぞれの行が読み出せるセンサであれば本発明が適用できることは明らかである。すなわ

親画面の略々下半面に出力する場合、メモリの書き込みと読出しを同一フィールド内で行なうことにより、同一フィールド中の画像表示を行なうことが可能である。さらに、親画面をズームアップ画像する一方で、小画面をメモリを追加してセンサ1の受光部全てを表示するように構成しても使い勝手の向上を図ることができる。また、各部のズーム子画面を多数個親画面に並列表示してもよいことはもちろんである。

#### (発明の効果)

以上説明したように、本発明によれば、画像のズームアップを解像度の劣化を少なくして行なうことができるため、高画質の電子ズーム機能を得た撮像装置を提供することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第一実施例のブロック図、第2図はセンサの模式図、第3図はメモリの書き込みと読み出しのタイミング図、第4図は第1図の詳細ブロック図、第5図はインタレース画像を得るための模式図、第6図はインタレース動作のた

ち、前記文献に示したように、CCD形センサでも可能であり、他の方式、例えばCPD形センサ等でもよいことはいうまでもない。また、センサの実施例において、絵素配列をW, G, Cy, Yeの4色配列としたが、これは本発明の本質ではなく、R, G, B縦形ストライプフィルタやW, Cy, YeのΔ配列フィルタ等、2行同時読出しが可能であれば全ての絵素配列や色フィルタ配列に対し本発明が適用できることはいうまでもない。

また、上記では2倍ズームアップに限って説明したが、1フィールドで1フレーム分の垂直解像度を持つ信号が得られることから、この信号を用いて他の倍率の画像を生成することもできる。このとき、本文中で説明したように擬似インタレース再生を上記他の倍率の画像生成に適用すればさらに良好な画像出力が得られる。

また、2画面表示の画像において、子画面を親画面の略々1/2として説明したが、これに限る必要はなく、他の割合で、また他の場所において表示してもよい。ここで、子画面を略々1/2として

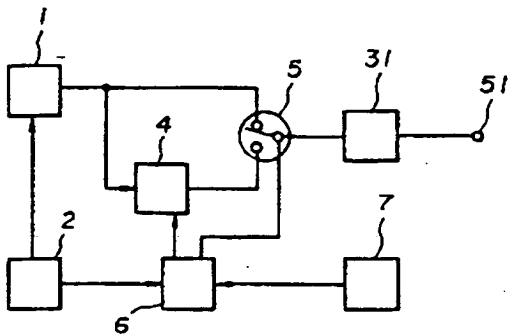
めの回路の一部ブロック図、第7図は本発明の第二実施例のブロック図、第8図は第7図の動作説明図、第9図は2画面出力画像の模式図、第10図はインタレース画像の2行同時読み出しの説明図、第11図、第12図はズームアップ画像をインタレース化するための説明図、第13図は本発明の第三実施例のブロック図、第14図は本発明の第四実施例のブロック図、第15図は第14図の動作説明図、第16図はMOS形センサの絵素構成を説明する模式図である。

1-----センサ、2-----駆動回路、3 1-----カメラ回路、4-----メモリ、5-----SW、5 1-----端子、6-----制御回路、7-----入力器、4 1 1-----A/D、4 0 1-----メモリ、4 4 5-----インタレース回路。

代理人 弁理士 武 顕次郎 (外1名)

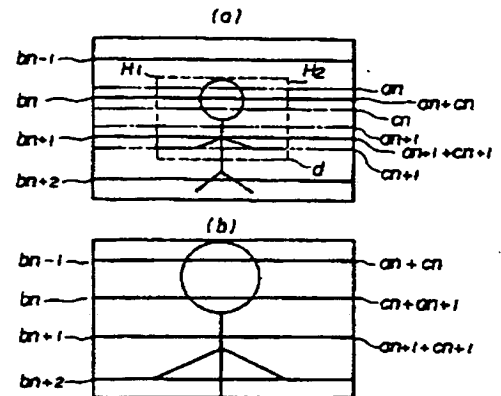


第 1 図

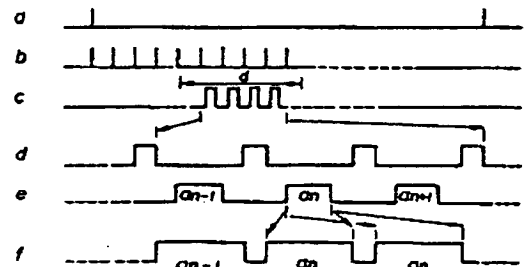


- 1: センサ  
2: 駆動回路  
4: メモリ  
5: SW  
6: 制御回路  
7: 入力器  
31: カメラ回路  
32: カメラ回路 2  
51: 出力端子

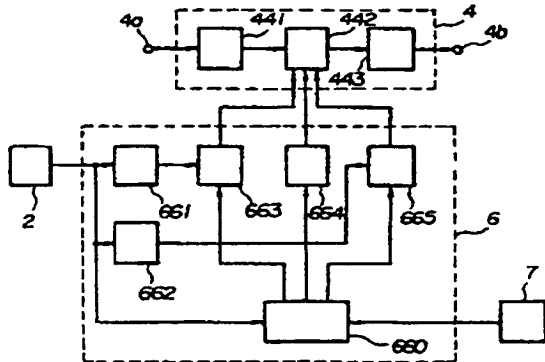
第 2 図



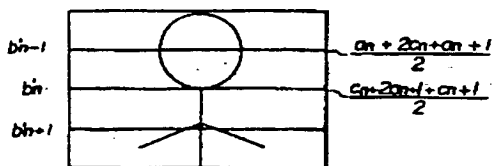
第 3 図



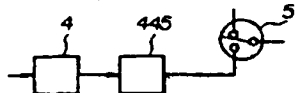
第 4 図



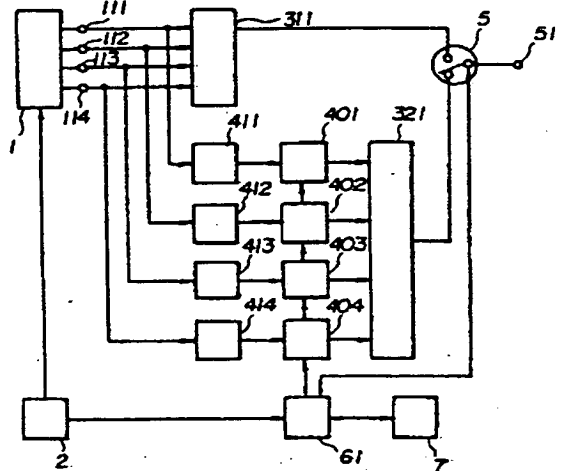
第 5 図



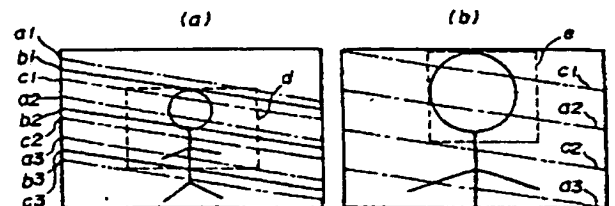
第 6 図



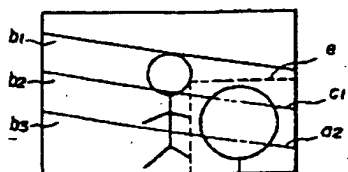
第 7 図



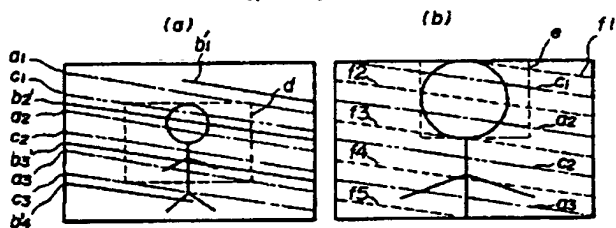
第 8 図



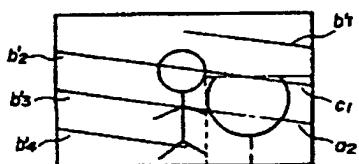
第 9 図



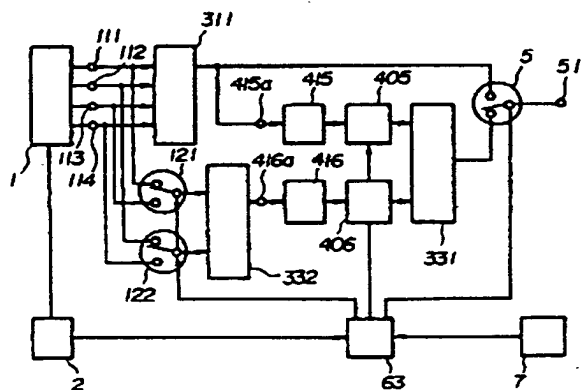
第 10 図



第 11 図



第 14 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**